**TEKNOFEST**

**HAVACILIK, UZAY VE TEKNOLOJİ FESTİVALİ**

**ÇİP TASARIM YARIŞMASI**

**2023**

**SAYISAL İŞLEMCİ TASARIM KATEGORİSİ**

**DETAY TASARIM RAPORU ŞABLONU**

**TAKIM ADI**

**……………………………….**

**PROJE ADI**

**………………………………**

**BAŞVURU ID**

**………………………………**

**İçindekiler**

[1. TEMEL TASARIM ÖZETİ (5 puan) 3](#_Toc123892561)

[2. PROJE MEVCUT DURUM DEĞERLENDİRMESİ (2.5 puan) 3](#_Toc123892562)

[3. PROJE DETAY TASARIMI (50 puan) 3](#_Toc123892563)

[3.1. Çekirdek Tasarımı 3](#_Toc123892564)

[3.2. Bellek Tasarımları 3](#_Toc123892565)

[3.3. Çevre Birimleri Tasarımları 4](#_Toc123892566)

[4. ÇİP TASARIM AKIŞI (20 puan) 4](#_Toc123892567)

[5. TEST (12,5 puan) 4](#_Toc123892568)

[6. İŞ PLANI (5 puan) 4](#_Toc123892569)

[7. KAYNAKÇA (5 puan) 5](#_Toc123892570)

### TEMEL TASARIM ÖZETİ (5 PUAN)

{Bu kısımda proje kapsamında yürütülen faaliyetlerle ilgili olarak özet bilgi sunulur. Projenin nihai tasarımının genel blok şeması verilir ve yarışma şartnamesi ile tasarlanan sistemin uyumluluklarına değinilir. Bölme algoritması, dallanma öngörücü algoritması, bellek çağrışım durumu, özel komutların nasıl işleneceği vb. kullanılan algoritmalar/metodlar/seçimler listelenir. Bu bölüm kısa tutulmalıdır, genel bir bakış sağlamalıdır. Bu bölümde kısaca bahsedilenlerin PROJE DETAY TASARIMI (50 puan) bölümünde detaylandırılması beklenmektedir.}

### PROJE MEVCUT DURUM DEĞERLENDİRMESİ (2.5 PUAN)

{Bu kısımda Ön Tasarım Raporunun değerlendirmesi yapılır. Varsa ÖTR'den sonra yapılan değişiklikler ve değişikliklerin neden yapıldığı açıklanır. Ayrıca projenin mevcut durumundan, gelinen aşamadan, tamamlanan ve henüz tamamlanmayan işlerden bahsedilmelidir.}

### PROJE DETAY TASARIMI (50 PUAN)

{Bu bölümde yapılan işlemcinin özellikleri detaylı olarak ifade edilecektir. TEMEL TASARIM ÖZETİ (5 puan) bölümündeki açıklamalar bu bölüm için yeterli değildir. TEMEL TASARIM ÖZETİ (5 puan) bölümünde yazılanlar TEMEL TASARIM ÖZETİ (5 puan) bölümünün puanlamasında kullanılacaktır, PROJE DETAY TASARIMI (50 puan) bölümü puanlaması için bu bölümde yazılanlar dikkate alınacaktır. Aşağıda istenenlere ilaveten, eğer tasarım tamamlandıysa, tasarımın FPGA utilization değerlerine yer verilmelidir. Çevrebirimler için çevrebirim başına utilization değerleri verilmelidir. Değerlerin beklenen değerlerle uyumlu olup olmadığı incelenmeli, eğer farklıysa nedenleri irdelenmelidir. Tasarımlar sırasında karşılaşılan zorluklara ve bu zorlukların nasıl çözüldüğüne değinilmelidir.

##### Çekirdek Tasarımı

{Nihai çekirdek tasarımının içinde kullanılan tüm blok ve algoritmaların neden seçildiği, nasıl gerçekleştirildiği ve ayrıntılı blok diyagramları verilir. Şartnamede belirtilen isterlerin hangi algoritma ve bloklar sayesinde karşılandığına değinilir. Çekirdek veriyolu tasarımında boru hattı olacak mı ve olacaksa kaç aşamalı boru hattı olacağı, bir saat çevriminde kaç tane buyruk işleneceği, performansı artırmak için eklenen özelliklerin tüm metriklere olan etkisi anlatılmalıdır. Kontrol akışını değiştiren dallanma gibi buyrukların nasıl optimum şekilde ele alınacağı, çarpma ve bölme gibi buyrukların tek çevrimde mi yoksa birden fazla çevrimde mi işleneceği, birden fazla çevrimde olacaksa sonradan gelen buyrukların nasıl işleneceği anlatılmalıdır. Özel buyrukların nasıl desteklendiği gösterilmelidir. }

##### Bellek Tasarımları

{Nihai bellek hiyerarşi tasarımının neden seçildiği, nasıl gerçekleştirildiği ve ayrıntılı blok diyagramları verilir. 1. seviye önbellekler ve çip dışında bulunacak hafıza birimine detaylarıyla değinilmelidir. Önbellek tasarımında, bellek bloklarının nasıl gerçekleneceği, kaç kümeli ve çağrışımlı olacağı, yer değiştirme ve yazma politikaları ve tüm yapılan seçimlerin alan ve performansa etkilerinden bahsedilmelidir. En kötü ve en iyi durumda önbelleklerden verilerin çekilme süresi matematiksel olarak gösterilmelidir.}

##### Çevre Birimleri Tasarımları

{Nihai çevre birimlerin tasarım ayrıntıları, bellek haritası desteği, veriyoluna bağlantı şekli ve veri yolu protokolünün neden seçildiği, nasıl gerçekleştirildiği ayrıntılı blok diyagramları ile anlatılmalıdır.}

### ÇİP TASARIM AKIŞI (20 PUAN)

{OpenLane aracının yazılımsal olarak nasıl çalıştığı bazı temel dosya adları verilerek açıklanmalıdır. Şu isimli script çalışıldığında şuralar çağrılmaktadır. Oralardan ise şu yazılımın ilgili komutları çağrılmaktadır şeklinde açıklama yapılmalıdır. Ayrıntıdan ziyade açık-kaynak olan kodların incelendiğine ve prensip olarak anlaşıldığına dair intiba oluşturacak kadar temel seviyede bilgi verilmelidir. Tasarımın serim gösterimi verilmelidir. Makrolar oluşturma yoluna gidildiyse makroların serimleri de gösterilmelidir. Güç tüketimi, performans ve alan tüketimini iyileştirmek adına akışta yapılan özelleştirmelere değinilmelidir. Tasarım sürecinde gerek yazılımsal olarak gerek tasarımsal olarak karşılaşılan sorunlara ve bu sorunların nasıl çözüldüğüne değinilmelidir (örneğin P&R programı tasarımı route edemediği şeklinde bir hata vermiştir, yarışmacılar da bu durumu bir yöntemle çözmüştür veya akış sırasında bir hata alınmıştır, bunu çözmek için daha yeni bir commit’teki program versiyonu kullanılmıştır). Akış sonucunda elde edilen güç tüketimi, alan kullanımı, DRC/LVS/anten sonuçları, setup hold zamanlama raporları, DRV (maksimum kapasitans, maksimum slew) raporlarından bahsedilmelidir. Tasarımın TT (Typical-Typical) - 25°C - 1.80V köşesinde ilgili kontrollerden geçmesi gerekiyor olsa da diğer köşelerdeki durumu ve maksimum fanout gibi çeşitli kontroller hakkında da bilgi mahiyetinde açıklama yapılmalıdır. Çip tasarım akışı boyunca faydalanılan topluluklar, Slack kanalları gibi yerler varsa bunların hangilerinden ne yönde yararlanıldığından bahsedilmelidir. Çip akışında geçirilen aşamaların hangilerinin daha kolay hangilerinin daha zor bulunduğuna, hangilerinde ne kadar zaman geçirildiğine kısaca değinilmelidir.}

### TEST (12,5 PUAN)

{Bu kısımda işlemcinin FPGA ortamında nasıl test edileceği açıklanır. RTL seviyesi ve serim sonrası benzetim ortamı hakkında bilgi verilir. Hangi test senaryolarının gerçekleneceği anlatılmalıdır (örn. önbellek testleri, çevre birimleri testleri, performans testleri, serim sonrası testler). Gerçekleştirilen testlerin sonuçları hakkında ve karşılaşılan bug’ların nasıl çözüldüğüne dair bilgi verilir.}

### İŞ PLANI (5 PUAN)

{Bu kısımda projenin tasarım, çip akışı ve test süreçlerini içeren bir zaman planlaması verilir. Zaman akış çizelgesi üzerinde iş paketlerinin ne kadarının tamamlandığı ne kadarının henüz tamamlanmadığı açıkça gösterilir. Tamamlanamayan iş paketlerinin neden tamamlanamadığına dair kısaca bilgi verilir. ÖTR’de verilen takvime göre bir gecikme olup olmadığından bahsedilir.}

### KAYNAKÇA (5 PUAN)

{Bu bölümde raporda kullanılan kaynaklar yer almalıdır. Kaynaklar rapor içerisinde de refere edilmelidir. Okuyucu raporun hangi kısmının ilgili referansı temel alarak başka kelimelerle yazıldığını görmelidir. Kaynak gösterirken IEEE formatına uyulmalıdır. Geçmiş yarışma raporlarından, aynı takım dahi olsa, faydalanıldığı takdirde şartnamede belirtilen formatta ve nerelerde faydalanıldığı anlaşılacak şekilde referans verilmelidir.}

{5 puan, genel rapor düzenine göre bonus olarak verilecektir.}

|  |
| --- |
| **RAPOR TASLAKLARI İLE İLGİLİ NOT:** |
| * **Tüm raporlar akademik rapor standartlarına uygun olarak yazılmalıdır.** * **Raporların içerikleri ile ilgili bilgiler yukarıda belirtilmiştir.** * **Raporlarda şablondaki başlıklandırmaya uyulmalıdır. İlgili başlıkların puanlanmasında sadece ilgili başlığın altına yazılanlar değerlendirmeye alınacaktır. Üst başlıklara uyulduğu takdirde yeni alt başlıklar eklenebilir.** * **Her rapor İçindekiler ve Kaynakça içermelidir.** * **Her rapor bir kapak sayfası içermelidir.** * **Raporlar sayfaları birbirini takip edecek şekilde numaralandırılmalıdır.** * **Yazı tipi: Calibri, Punto: 11, Satır Aralıkları: 1.15** * **Rapor en fazla 30 sayfa olmalıdır. 30 sayfadan fazla olduğu takdirde fazla sayfalar puanlamaya dahil edilmeyecektir.** * **Şartname Bölüm 2.3’teki kurallara uyulmalıdır.** |