**TEKNOFEST**

**HAVACILIK, UZAY VE TEKNOLOJİ FESTİVALİ**

**ÇİP TASARIM YARIŞMASI**

**2023**

**SAYISAL GÖRÜNTÜ İŞLEME KATEGORİSİ**

**DETAY TASARIM RAPORU ŞABLONU**

**TAKIM ADI**

**……………………………….**

**PROJE ADI**

**………………………………**

**BAŞVURU ID**

**………………………………**

**İçindekiler**

[1. SİSTEM TANIMI VE TEMEL TASARIM ÖZETİ (5 PUAN) 3](#_Toc123825193)

[2. PROJE DETAY TASARIMI (50 PUAN) 3](#_Toc123825194)

[2.1. Sistem Mimarisi 3](#_Toc123825195)

[2.2. Tasarım Detayı 3](#_Toc123825196)

[2.2.1. Resim Çözme (Image Decode) Tasarımı 3](#_Toc123825197)

[2.2.2. Haberleşme Birimleri Tasarımı 3](#_Toc123825198)

[2.2.3. Görüntü İşleme Görevlerinin Tasarımı 3](#_Toc123825199)

[3. ÇİP TASARIM AKIŞI (15 PUAN) 3](#_Toc123825200)

[4. TEST (20 PUAN) 4](#_Toc123825201)

[5. TAKIM ORGANİZASYONU (3 PUAN) 4](#_Toc123825202)

[5.1. Takım Organizasyonu 4](#_Toc123825203)

[5.2. Görev Dağılımı 4](#_Toc123825204)

[6. İŞ PLANI ve RİSK PLANLAMASI (5 PUAN) 4](#_Toc123825205)

[7. KAYNAKÇA (2 PUAN) 4](#_Toc123825206)

### SİSTEM TANIMI VE TEMEL TASARIM ÖZETİ (5 PUAN)

{Bu kısımda sistemin basitçe genel tanımı ve proje kapsamında yürütülen faaliyetlerle ilgili olarak özet bilgiler sunulur. Örneğin RTL aşaması, simülasyon aşaması, openlane aşaması vs. tamamlanma oranları nelerdir?}

### PROJE DETAY TASARIMI (50 PUAN)

#### Sistem Mimarisi

{Bu kısımda projenin nihai tasarımının blok şeması verilir ve yarışma şartnamesi ile tasarlanan sistemin uyumluluklarına değinilir. Alt bloklardan ve görevlerinden kısaca bahsedilir. Ayrıca, nihai tasarımda kullanılan algoritmalar/metotlar listelenir.}

#### Tasarım Detayı

##### Resim Çözme (Image Decode) Tasarımı

{Sıkıştırılmış olan resmin çözülmesinde mevcut olan aşamalar RTL’de nasıl tasarlandı? Çözme sonrasında oluşan resim verisi FPGA tabanlı ve Caravel tabanlı çözümler için nerede nasıl saklanacak? Decode aşamasındaki gereksinimler için nasıl bir mimari ve uygulama yöntemi seçildi? Seçilen yöntem ve metotların diğerlerine göre artı eksileri? Karşılaşılan zorluklar ve çözümleri?}

##### Haberleşme Birimleri Tasarımı

{FPGA tabanlı tasarımda UART, Caravel tasarımında WISHBONE arayüzünde PC’den gelen ve PC’ye gönderilecek olan paket RTL’de nasıl işlenecek veya oluşturulacak? Checksum hesaplama yöntemi, encode edilmiş resmin verisinin nasıl çözümleneceği gibi detayların verilmesi beklenmektedir. Seçilen yöntem ve metotların diğerlerine göre artı eksileri? Karşılaşılan zorluklar ve çözümleri?}

##### Görüntü İşleme Görevlerinin Tasarımı

{Şartnamede verilen görevler RTL’de nasıl tasarlandı? Hangi yöntemler ve mimari tercih edildi? Seçilen yöntem ve metotların diğerlerine göre artı eksileri? Karşılaşılan zorluklar ve çözümleri?}

### ÇİP TASARIM AKIŞI (15 PUAN)

{Bütün bir sistemin olmasa da alt modüllerin biri veya birkaçında (örneğin şartnamede verilen bir görevin gerçekleştirilmesinde kullanılan bir modül, ya da decoding kısmında kullanılan bir modül) Caravel platformuna uygun olarak openlane akışının tamamlanması beklenmektedir. Mümkünse tasarımın hepsi, tasarımın hepsi tamamlanmadıysa da tamamlanmış alt modüller üzerinde synthesis, placement ve routing gibi aşamalar sonrasında oluşan zamanlama analizi (timing analysis), kaynak kullanım (utilization) gibi dosyaların çıktılarından yararlanıp yorumlarda bulunulmalıdır. GDSII layout resimleri eklenmelidir. Güç tüketimi, performans ve alan tüketimini iyileştirmek adına akışta yapılan özelleştirmelere değinilmelidir. Tasarım sürecinde gerek yazılımsal olarak gerek tasarımsal olarak karşılaşılan sorunlara ve bu sorunların nasıl çözüldüğüne değinilmelidir (Örneğin P & R programı tasarımı route edemediği şeklinde bir hata vermiştir, yarışmacılar da bu durumu bir yöntemle çözmüştür veya akış sırasında bir hata alınmıştır, bunu çözmek için başka bir commit’teki versiyona geçilmiştir şeklinde). Bu çözümler esnasında kulllanılan teorik-genelgeçer bilgilere yer verilmelidir (Örneğin bu kaynaktan edinilen bilgiye göre utilization değeri bu değerin altında tutulmuştur). Açık kaynak programlar kullanılması sebebiyle bahsedilen genelgeçer bilgilerle elde edilen sonuçlar uyumsuzluklar görüldüyse bunların sebebi açıklanmalıdır. Çip tasarım akışı boyunca faydalanılan topluluklar, Slack kanalları gibi yerler varsa bunların hangilerinden ne yönde yararlanıldığından bahsedilmelidir. Çip akışında geçirilen aşamaların hangilerinin daha kolay hangilerinin daha zor bulunduğuna, hangilerinde ne kadar zaman geçirildiğine kısaca değinilmelidir.}

### TEST (20 PUAN)

{Bu kısımda tasarımın RTL seviyesinde fonksiyonel simülasyon ve synthesis sonrası simülasyon (gate-level simulation) ortamında nasıl test edildiği, hangi test senaryolarının gerçeklendiği anlatılmalıdır. Tüm tasarım tamamlanmasa bile hangi alt modüllerde simülasyonların nasıl gerçekleştirildiği, verification ortamı (FPGA ve openlane için hangi verification araçları kullanıldıysa) ve testbench kodları ile bilgiler detaylıca verilmelidir.}

### TAKIM ORGANİZASYONU (3 PUAN)

#### Takım Organizasyonu

{Bu kısımda takım üyeleri ve varsa danışman hakkında bilgi verilir. (İsim, soyisim, okul, bölüm, sınıf)}

#### Görev Dağılımı

{Bu kısımda görev dağılımı ve ekip organizasyonu hakkında bilgi verilir. Kim hangi kısımlardan sorumlu?}

### İŞ PLANI ve RİSK PLANLAMASI (5 PUAN)

{Bu kısımda projenin FPGA ve Caravel aşamaları için tasarım, sentez, fiziksel gerçekleme ve test süreçlerini içeren bir zaman planlaması ve risk planlaması yapılır. Zaman akış çizelgesi üzerinde iş paketlerinin ne kadarının tamamlandığı ne kadarının henüz tamamlanmadığı, takvimde gecikme olup olmadığı açık bir şekilde gösterilmelidir.}

### KAYNAKÇA (2 PUAN)

{Bu bölümde raporda kullanılan kaynaklar yer almalıdır. Kaynaklar rapor içerisinde refere edilmelidir.}

|  |
| --- |
| **RAPOR TASLAKLARI İLE İLGİLİ NOT:** |
| **-Tüm raporlar akademik rapor standartlarına uygun olarak yazılmalıdır.****-Raporların içerikleri ile ilgili bilgiler yukarıda belirtilmiştir.****-Tüm raporlar “İçindekiler” ve “Kaynakça” içermelidir.****-Her rapor bir kapak sayfası içermelidir.****-Raporlar sayfaları birbirini takip edecek şekilde numaralandırılmalıdır.****-Yazı tipi: Calibri, Punto: 11, Satır Aralıkları: 1.15****-Rapor en fazla 30 sayfa olmalıdır.** |